

BUNDESREPUBLIK DEUTSCHLAND

10/534164
REC'D PCT/PCT/PTO 05 MAY 2005
PCT/IB 03/04838
90.10.03

#2



REG'D 10 NOV 2003
WIPO PCT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 52 165.4

Anmeldetag: 09. November 2002

Anmelder/Inhaber: Philips Intellectual Property
& Standards GmbH, Hamburg/DE

(vormals: Philips Corporate Intellectual
Property GmbH)

Bezeichnung: Integrierter Schaltkreis

IPC: H 04 L 12/26

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-sprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Scholz

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Scholz



BESCHREIBUNG

Integrierter Schaltkreis

Die Erfindung betrifft einen integrierten Schaltkreis mit einem System-Basis-Chip, wie er üblicherweise für Sende und / oder Empfangsfunktionen eines Knotens, der mit ei-

- 5 nem Fahrzeugdatenbus gekoppelt ist, vorgesehen sind, sowie eine Interface-Schaltung die ein Datenprotokoll des Fahrzeug-Datenbusses abarbeiten soll sowie ein Seriell/Parallel-Umsetzer der die seriell auf den Datenbus übertragenen Daten in parallele Daten, die empfangsseitig weiterverarbeitet werden können, umsetzt.

- 10 Ein Problem bei der asynchronen Übertragung von Daten ist immer, dass ein Empfänger sich auf die Taktfrequenz, mit der die Daten auf dem Datenbus übertragen werden, einstellen muss. Beispielsweise in dem sogenannten LIN-Protokoll (Local Interconnect Network), das für Fahrzeuge vorgesehen ist, werden die Daten von einem Masterknoten zu Slaveknoten übertragen, wobei sich die Slaveknoten auf die Datenübertragungsrate 15 synchronisieren können.

Um eine derartige Synchronisation auf die Datentaktrate vornehmen zu können, muss der Slaveknoten in der Lage sein, bestimmte Symbole zu erkennen, die von einem Standard SCI/UART-Interface (Serial Communication Interface / Universal Asynchronous

- 20 Receiver Transmitter) abweichen. Bei einem derartigen Interface handelt es sich um ein standardmäßig verwendetes Interface zur seriellen Datenübertragung.

- Es besteht also das Problem, dass ein Anwender, der die automatische Aufsynchrone-
25 nisation auf die Taktrate nutzen will, kein standardmäßiges SCI/UART-Interface nutzen kann, sondern das Interface speziell anpassen muss. Dazu bedarf es einer speziellen Anpassung eines extern vorgesehenen Mikrocontrollers, der wesentliche Funktionen übernehmen muss.

Die Konsequenz hieraus ist, dass sowohl die Interface-Schaltung wie auch ein extern vorgesehener Mikrocontroller speziell auf die Anforderungen angepasst werden müssen.

5 Es ist Aufgabe der Erfindung, einen universell einsetzbaren integrierten Schaltkreis anzugeben, der in der Lage ist, die oben beschriebenen Funktionen autonom, d. h. ohne externen Mikrocontroller, auszuführen.

Diese Aufgabe ist erfindungsgemäß durch die Merkmale des Patentanspruchs 1 gelöst:

10

Integrierter Schaltkreis mit

- einem System Basis Chip, welcher Basisfunktionen für ein Sende- und/oder Empfangs-System für einen Fahrzeug-Datenbuss aufweist, nämlich wenigstens eine System-Spannungsversorgung, einen System-Reset und eine Überwachungsfunktion,
- 15 - einer Interface-Schaltung, die autonom wenigstens Teile eines Datenbus-Protokolls, insbesondere des LIN-Protokolls (Local Interconnect Network), bearbeitet, die eine Bitraten-Erkennung empfangener Daten durchführt und die in der Lage ist, wenigstens ein empfangenes oder gesendetes Byte weiterzuleiten,
- einem Seriell/Parallel-Umsetzer, der die von der Interface-Schaltung erkannte Bitrate
- 20 bei der Umsetzung nutzt.

Der erfindungsgemäße integrierte Schaltkreis stellt im wesentlichen drei Funktionsblöcke zur Verfügung. Er liefert einerseits Basisfunktion eines System-Basis-Chips, wie dieser üblicherweise für Tranceiver für Fahrzeughdatenbus-Systeme vorgesehen ist.

25 Diese Basisfunktionen umfassen wenigstens eine Systemspannungsversorgung, ein System-Reset und eine Überwachungsfunktion wie beispielsweise einen Watchdog. Der integrierte Schaltkreis umfasst ferner eine Interface-Schaltung, die autonom wenigstens Teile eines Datenbus-Protokolls, insbesondere des LIN-Protokolls (Local Interconnect Network) abarbeitet. Diese Interface-Schaltung ist dazu in der Lage, autonom eine Bitratenerkennung durchzuführen. Sie ist ferner in der Lage wenigstens ein empfan-

30

genes oder zu sendendes Byte weiterzuleiten, d. h. ein Byte das vom Datenbus empfangen worden ist an eine externe Einheit, beispielsweise an einen Mikrocontroller, weiterzuleiten oder ein Byte von diesem zu empfangen und auf dem Datenbus zu senden. Der integrierte Schaltkreis umfasst ferner ein Seriell/Parallel-Umsetzer, der die von der

5 Interface-Schaltung erkannte Bitrate bei der Umsetzung nutzt.

Wesentlich hierbei ist, dass der integrierte Schaltkreis die oben beschriebenen Funktionen autonom ausführt, d. h. insbesondere die Bitraten-Erkennung ohne einen externen Mikrocontroller durchführen kann. Ein derartiger Mikrocontroller wird in Anwendungen zwar in der Regel vorgesehen sein, ist jedoch nicht in die Bitraten-Erkennung involviert und muss daher auch nicht speziell an diese angepasst werden. Somit kann jeder verfügbare Mikrocontroller eingesetzt werden, auch wenn dieser an sich für die Bitratenerkennung nicht geeignet ist.

10

15 Ein weiterer Vorteil besteht durch die hohe Integration des Schaltkreises und der besonders günstigen Kombination der Funktionen darin, dass dieser Schaltkreis alle für die Anwendung in einem Datenbus nachzuweisenden und zu zertifizierenden Funktionen ausführt. Daher müssen andere Elemente, die außerhalb des erfindungsgemäßen integrierten Schaltkreises zur Anwendung kommen nicht gesondert zertifiziert werden.

20

Gemäß einer Ausgestaltung der Erfindung nach Anspruch 2 ist auf den integrierten Schaltkreis ferner ein R/C-Oszillatator vorgesehen, der als Taktquelle der auf dem integrierten Schaltkreis vorgesehenen Schaltungselemente dient und der ferner als Zeitbasis für die Bitratenerkennung dient.

25

Das vom dem R/C-Oszillatator erzeugte Taktsignal kann vorteilhaft, wie gemäß einer weiteren Ausgestaltung der Erfindung nach Anspruch 3 vorgesehen ist, auch für Schaltungselemente außerhalb des integrierten Schaltkreises vorgesehen sein. Er kann insbesondere vorteilhaft für einen extern vorgesehenen Mikroprozessor eingesetzt werden.

30

Wie gemäß weiteren Ausgestaltungen der Erfindung nach den Ansprüchen 4 und 5 vorgesehen ist, kann die Interface-Schaltung auch über einzelne Bytes hinaus komplett Nachrichten, die auf dem Datenbus übertragen werden, empfangen bzw. senden. Diese Daten können ggf. in der Interface-Schaltung zwischengespeichert werden.

5

Damit ist der erfindungsgemäße integrierte Schaltkreis universell auch als System-Basis-Chip mit Interface und Seriell/Parallel-Umsetzung für komplett Nachrichtenübertragungen einsetzbar.

10 Wie Eingangs bereits erläutert, können die Daten seriell auf dem Datenbus insbesondere SCI/UART-Norm (Serial Communication Interface / Universal Asynchronous Receiver Transmitter) übertragen werden. Der Seriell/Parallel-Umsetzer in dem integrierten Schaltkreis ist dann vorteilhaft gemäß Anspruch 6 so ausgelegt, dass er die Daten in dieser Übertragungsnorm empfängt und in parallele Daten umsetzt bzw. umgekehrt.

15

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert.

20 Die einzige Figur der Zeichnung zeigt in Form eines Blockschaltbildes einen erfindungsgemäßen integrierten Schaltkreis 1 sowie ein außerhalb dieses integrierten Schaltkreises 1 vorgesehenen Mikrocontroller 7.

25 Die Erfindung bezieht sich ausschließlich auf den integrierten Schaltkreis 1, der in der Lage ist, autonom eine Vielzahl verschiedener Funktionen auszuführen und dazu verschiedene Schaltungsblöcke aufweist, die im folgenden erläutert werden.

Der integrierte Schaltkreis 1 ist dazu so aufgebaut, dass er bestimmte Funktionen ohne den extern vorgesehenen Mikrocontroller 7 durchführen kann, der seinerseits nicht speziell auf die von dem integrierten Schaltkreis 1 ausgeführten Funktion anzupassen ist.

30

Der integrierte Schaltkreis 1 enthält quasi einen System-Basis-Chip, wie er in Fahrzeug-Datenbus-Systemen vorgesehen ist. Ein solcher System-Basis-Chip stellt bestimmte System-Funktionen zur Verfügung, von denen der erfindungsgemäße integrierte Schaltkreis wenigstens eine System-Spannungs-Versorgung, einen System-Reset und eine

5 Überwachungsfunktion, insbesondere einen Watchdog, beinhaltet.

Dazu ist in dem integrierten Schaltkreis 1 gemäß der Figur 1 ein Spannungsregler 3 vorgesehen, der eine extern von einer nicht dargestellten Fahrzeubatterie stammende Spannung BAT in eine geregelte Spannung VCC umwandelt. Diese geregelte Spannung

10 wird einerseits innerhalb des integrierten Schaltkreises 1 eingesetzt, kann aber auch für externe Systemkomponenten, wie beispielsweise den Mikrocontroller 7 eingesetzt werden.

Ferner liefert der Spannungsregler 3 ein Reset-Signal RST, das ebenfalls sowohl in dem
15 integrierten Schaltkreis 1 wie auch beispielsweise in den Mikrocontroller 7 zur Anwendung kommen kann.

Eine Überwachungsfunktion, die beispielsweise in Art eines Watchdogs ausgeführt sein kann, ist in einem in der Figur mit 2 gekennzeichneten Schaltungsblock realisiert, der
20 auch noch weitere, weiter unten zu erläuternde Aufgaben übernimmt. Der Watchdog kann ein Interrupt-Signal liefern, dass dem Mikrocontroller 7 zur Verfügung gestellt wird.

Der erfindungsgemäße integrierte Schaltkreis beinhaltet ferner eine Interface-Schaltung,
25 welche einerseits in der Lage ist, autonom wenigstens Teile eines Datenbus-Protokolls zu bearbeiten. In dem Ausführungsbeispiel gemäß der Figur soll davon ausgegangen werden, dass es sich um das LIN-Protokoll handelt, nach dessen Maßgabe Daten auf einen in der Figur nur angedeuteten Datenbus übertragen werden. Das LIN-Protokoll (Local Interconnect Network) sieht vor, dass die Daten seriell im wesentlichen nach
30 Maßgabe der SCI/UART-Norm (Serial Communication Interface / Universal Asynchro-

nuos Receiver Transmitter), übertragen werden. Daher sind in dem integrierten Schaltkreis 1 gemäß der Figur ein Schaltungsblock 4 und ein Schaltungsblock 5 vorgesehen, die im wesentlichen das LIN-Protokoll zur Datenübertragung bearbeiten. Der Schaltungsblock 4 kann auch als Tranceiver bezeichnet werden und dient zur Umsetzung des analogen Datensignals der LIN Leitung in ein digitales Datensignal und umgekehrt. Der Schaltungsblock 5 dient der Erkennung der verwendeten Bitrate auf dem LIN Bus.

In dem LIN-Protokoll (Local Interconnect Network) ist ein Header vorgesehen, der es gestattet, dass Systeme, die Daten auf dem Datenbus empfangen, die Datenrate, mit der die Daten übertragen werden, festzustellen und sich auf diese einsynchronisieren zu können. Diese Bitraten-Erkennung ist vielfach extern vorgesehen, d. h. sie wird beispielsweise mittels des Mikrocontrollers 7 durchgeführt. Dies erfordert jedoch eine besondere Anpassung des Mikrocontrollers 7. In dem erfindungsgemäßen integrierten Schaltkreis 1 ist die Bitraten-Erkennung in einem gesonderten Schaltungsblock 5 vorgesehen, der mit dem Tranceiver 4 gekoppelt ist. Der Tranceiver 4, der einen solchen Header empfängt, leitet diesen an die Bitraten-Erkennung 5 weiter, die anhand eines Taktsignals, das von einem R/C-Oszillatator 6 geliefert wird, eine Erkennung der Bitrate vornimmt.

Der besondere Vorteil dieser Anordnung innerhalb des integrierten Schaltkreises 1 besteht darin, dass für diesen Vorgang der Mikrocontroller 7 nicht eingesetzt werden muß und in folge dessen auch nicht auf diese Funktion angepaßt sein muss.

Sobald von dem LIN-Protokoll (Local Interconnect Network) 4 ein gültiger Header erkannt wurde, wird also mittels der Bitratenerkennung 5 eine entsprechende Messung angestellt und die Bitrate für den weiteren Empfang entsprechend eingestellt.

Sowohl der Tranceiver 4 wie auch die Bitratenerkennung-Schaltung 5 sind in der Lage, einzelne Bytes zu empfangen oder zu senden und entsprechend weiterzuleiten. Wird beispielsweise nach erfolgter Bitratenerkennung von dem Tranceiver 4 ein solches Byte

empfangen, wird dieses an die Bitraten-Erkennung 5 und von dieser an den Schaltungsblock 2 weitergeleitet, in dem außer den oben erläuterten Überwachungsfunktionen auch ein Seriell/Parallel-Umsetzer vorgesehen ist. Mittels dieses Umsetzers werden die seriell empfangenen Daten in parallele Daten umgesetzt. Die seriell empfangenen Daten

5 werden im Allgemeinen nach der SCI/UART-Norm (Serial Communication Interface / Universal Asynchronous Receiver Transmitter) übertragen. Die in die parallele Form umgesetzten Daten werden über einen Datenbus, der in der Figur mit SPI gekennzeichnet ist, an eine externe Einheit, beispielsweise dem Mikrocontroller 7, übertragen.

10 Das von dem R/C-Oszillator erzeugte Taktsignal, das in der Figur mit Clock gekennzeichnet ist, wird sowohl für den Schaltungsblock 2 mit dem Seriell-Parallel-Umsetzer sowie der Watchdog-Schaltung wie auch vorteilhaft für den extern vorgesehenen Mikrocontroller 7 eingesetzt. Ferner dient dieses Signal als Zeitbasis für die Bitratenerkennung.

15 Der wesentliche Vorteil des erfindungsgemäßen integrierten Schaltkreises 1 besteht im wesentlichen darin, dass dieser autonom in der Lage ist bestimmte Watchdog-Funktionen zur Verfügung zu stellen, wenigstens Teile des Datenübertragungsprotokolls, in diesem Falle des LIN-Protokolls (Local Interconnect Network), abzuarbeiten, einzelne

20 Daten zu senden und zu empfangen sowie eine Seriell-Parallel-Umsetzung der Daten zu nutzen. Dabei kann der integrierte Schaltkreis autonom eine Bitratenerkennung vornehmen und für die oben beschriebenen Funktionen, soweit erforderlich, einsetzen. Somit ist der integrierte Schaltkreis 1 universell einsetzbar und kann mit beliebigen externen Komponenten kombiniert werden, die auf die beschriebenen Funktionen nicht

25 speziell angepasst werden müssen. Insbesondere kann es sich bei dem Mikrocontroller 7 um einen universellen Mikrocontroller handeln, der beispielsweise für die Bitratenerkennung nicht speziell modifiziert sein muss.

PATENTANSPRÜCHE

1. Integrierter Schaltkreis (1) mit
 - einem System Basis Chip, welcher Basisfunktionen für ein Sende- und/oder Empfangs-System für einen Fahrzeug-Datenbuss aufweist, nämlich wenigstens eine System-Spannungsversorgung (3), einen System-Reset (3) und eine
- 5 Überwachungsfunktion (2),
 - einer Interface-Schaltung (4,5), die autonom wenigstens Teile eines Datenbus-Protokolls, insbesondere des LIN-Protokolls (Local Interconnect Network), bearbeitet, die eine Bitraten-Erkennung empfangener Daten durchführt und die in der Lage ist, wenigstens ein empfangenes oder gesendetes Byte weiterzuleiten,
- 10 - einem Seriell/Parallel-Umsetzer (2), der die von der Interface-Schaltung (4,5) erkannte Bitrate bei der Umsetzung nutzt.
2. Integrierter Schaltkreis nach Anspruch 1,
dadurch gekennzeichnet,
- 15 dass auf dem integrierten Schaltkreis (1) ein R/C-Oszillatior (6) vorgesehen ist, der als Taktquelle dient und der als Zeitbasis für die Bitratenerkennung dient.
3. Integrierter Schaltkreis nach Anspruch 2,
dadurch gekennzeichnet,
- 20 dass der von dem R/C-Oszillatior (6) gelieferte Takt auch für außerhalb des integrierten Schaltkreises (1) vorgesehene Schaltungen, insbesondere einen Mikroprozessor (7), vorgesehen ist.

4. Integrierter Schaltkreis nach Anspruch 1,
dadurch gekennzeichnet,
dass die Interface-Schaltung (4,5) auch komplette Nachrichten weiterleiten kann.

5 5. Integrierter Schaltkreis nach Anspruch 1,
dadurch gekennzeichnet,
dass die Interface-Schaltung (4,5) eine Zwischenspeicherung empfangener und/oder zu
sendender Daten vornimmt.

10 6. Integrierter Schaltkreis nach Anspruch 1,
dadurch gekennzeichnet,
dass der Seriell/Parallel-Umsetzer (5) serielle Daten entsprechend der SCI/UART-Norm
(Serial Communication Interface/ Universal Asynchronous Receiver Transmitter) in
parallele Daten umsetzt oder umgekehrt.

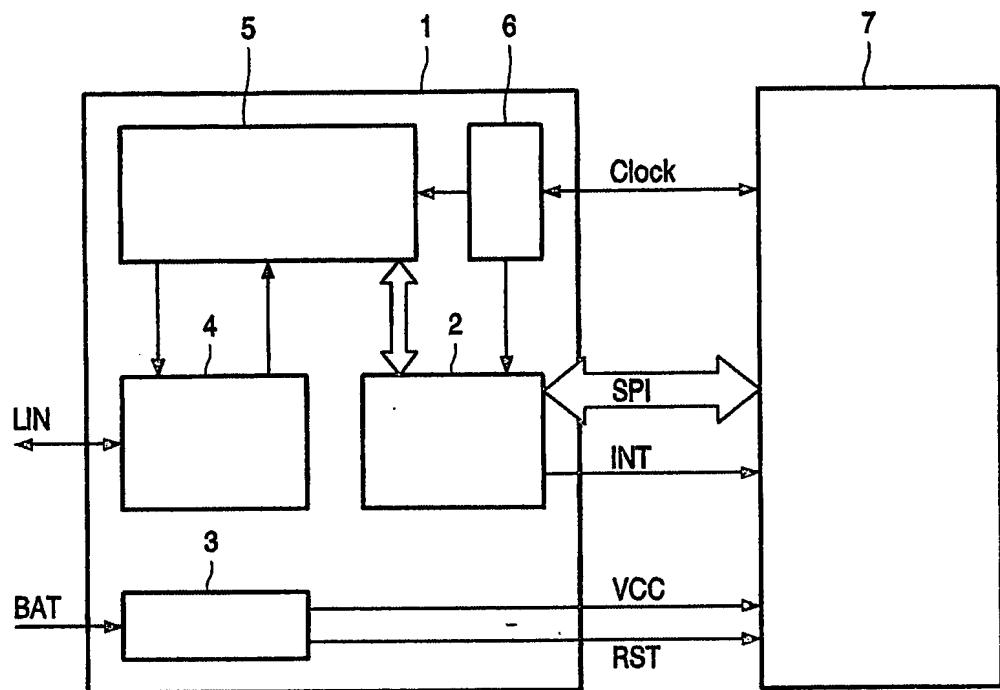


Fig. 1

ZUSAMMENFASSUNG

Integrierter Schaltkreis

Integrierter Schaltkreis mit

- einem System Basis Chip (1), welcher Basisfunktionen für ein Sende- und/oder
- 5 Empfangs-System für einen Fahrzeug-Datenbuss aufweist, nämlich wenigstens eine System-Spannungsversorgung (3), einen System-Reset (2) und eine Überwachungsfunktion (2),
- einer Interface-Schaltung (4,5), die autonom wenigstens Teile eines Datenbus-Protokolls, insbesondere des LIN-Protokolls (Local Interconnect Network), bearbeitet,
- 10 die eine Bitraten-Erkennung empfangener Daten durchführt und die in der Lage ist, wenigstens ein empfangenes oder gesendetes Byte weiterzuleiten,
- einem Seriell/Parallel-Umsetzer (5), der die von der Interface-Schaltung (4,5) erkannte Bitrate bei der Umsetzung nutzt.

15 Fig. 1

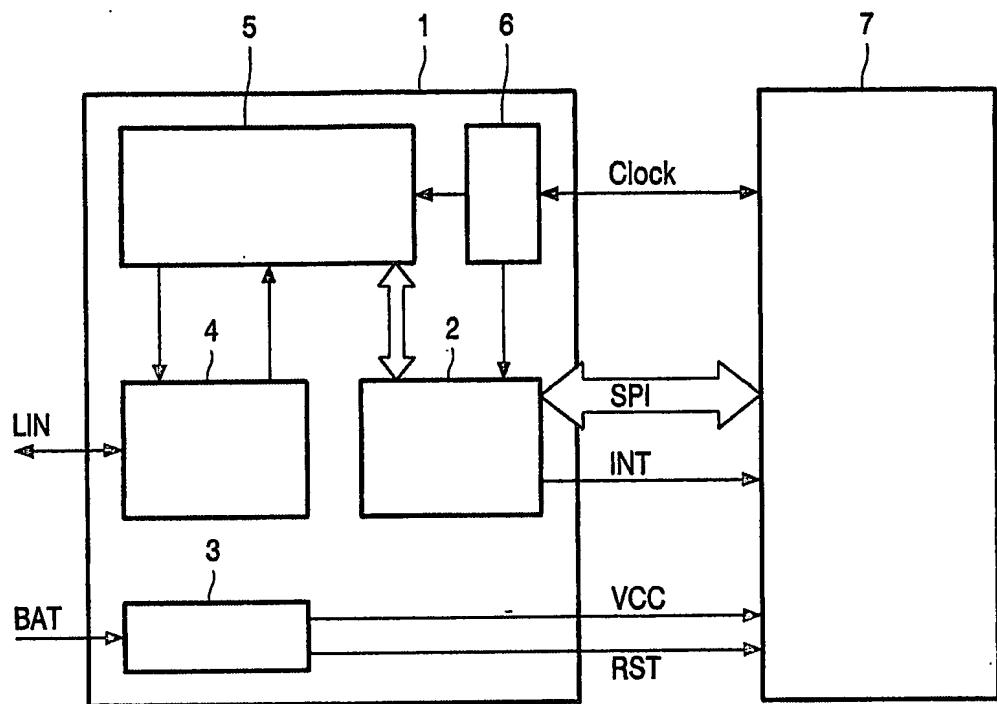


Fig. 1